Stopky

Josef Novák

Třída 2A

Zadání

Vytvořte projekt, kdy s použitím čítačů popsaných ve VHDL jsou realizovány Stopky. K dispozici máte hodiny o frekvenci 24 MHz. Požadované měření je na tisícinu vteřiny do 59:59.999.

Vytvořený stavový diagram si zálohujte pro další použití.

V projektu vyřešte následující kroky:

* Vytvoření zdrojového vhd souboru
* Kontrola syntaxe
* Simulace minut
* Syntéza

K úloze vypracujte protokol (jako docx soubor) v následujícím tvaru:

* Titulní list
* Zadání
* Zdrojový vhd soubor (vložit vhd soubor)
* Simulace minut (vložit jako obrázek)
* Výpočet časování
* Závěr (hodnocení)

V závěru musí být uveden výsledný stav.

Zdrojový vhd soubor

*library IEEE;*

*use IEEE.STD\_LOGIC\_1164.ALL;*

*use IEEE.STD\_LOGIC\_ARITH.ALL;*

*use IEEE.STD\_LOGIC\_UNSIGNED.ALL;*

*entity stopky is*

 *Port (*

*clk : in std\_logic;*

*Start : in std\_logic;*

*Stop : in std\_logic;*

*Reset : in std\_logic;*

*minuty\_d : out std\_logic\_vector(3 downto 0);*

*minuty\_j : out std\_logic\_vector(3 downto 0);*

*vteriny\_d : out std\_logic\_vector(3 downto 0);*

*vteriny\_j : out std\_logic\_vector(3 downto 0);*

*desetiny : out std\_logic\_vector(3 downto 0);*

*setiny : out std\_logic\_vector(3 downto 0);*

*tisiciny : out std\_logic\_vector(3 downto 0)*

*);*

*end stopky;*

*architecture Behavioral of stopky is*

*signal count : std\_logic\_vector(9 downto 0);*

*signal ce : std\_logic;*

*signal Q : std\_logic;*

*signal min\_d : std\_logic\_vector(3 downto 0); --:=(others => '0');*

*signal min\_j : std\_logic\_vector(3 downto 0); --:=(others => '0');*

*signal vter\_d : std\_logic\_vector(3 downto 0);*

*signal vter\_j : std\_logic\_vector(3 downto 0);*

*signal des : std\_logic\_vector(3 downto 0);*

*signal set : std\_logic\_vector(3 downto 0);*

*signal tis : std\_logic\_vector(3 downto 0);*

*begin*

*process (clk, Stop)*

*begin*

 *if Stop ='1' then*

 *Q <= '0';*

 *elsif clk='1' and clk'event then*

 *if Start ='1' then*

 *Q <= '1';*

 *end if;*

 *end if;*

*end process;*

*process (clk)*

*begin*

 *if clk ='1' and clk'event then*

 *count <= count + 1;*

 *if count = 2 then*

 *count <= (others => '0');*

 *ce <= '1';*

 *else*

 *ce <= '0';*

 *end if;*

 *end if;*

*end process;*

*process (clk)*

*begin*

 *if Reset ='1' then*

 *min\_d <= (others => '0');*

 *min\_j <= (others => '0');*

 *vter\_d <= (others => '0');*

 *vter\_j <= (others => '0');*

 *des <= (others => '0');*

 *set <= (others => '0');*

 *tis <= (others => '0');*

 *elsif clk ='1' and clk'event then*

 *if (ce ='1' and Q = '1') then*

 *tis <= tis + 1;*

 *if tis = 9 then*

 *tis <= (others => '0');*

 *set <= set + 1;*

 *if set = 9 then*

 *set <= (others => '0');*

 *des <= des + 1;*

 *if des = 9 then*

 *des <= (others => '0');*

 *vter\_j <= vter\_j + 1;*

 *if vter\_j = 9 then*

 *vter\_j <= (others => '0');*

 *vter\_d <= vter\_d + 1;*

 *if vter\_d = 5 then*

 *vter\_d <= (others => '0');*

 *min\_j <= min\_j + 1;*

 *if min\_j = 9 then*

 *min\_j <= (others => '0');*

 *min\_d <= min\_d + 1;*

 *if min\_d = 5 then*

 *min\_d <= (others => '0');*

 *end if;*

 *end if;*

 *end if;*

 *end if;*

 *end if;*

 *end if;*

 *end if;*

 *end if;*

 *end if;*

*end process;*

*minuty\_d <= min\_d;*

*minuty\_j <= min\_j;*

*vteriny\_d <= vter\_d;*

*vteriny\_j <= vter\_j;*

*desetiny <= des;*

*setiny <= set;*

*tisiciny <= tis;*

*end Behavioral;*

Funkční simulace minut



Výpočet časování

Předdělička generuje impulzy s periodou 1 ms. Čítač předděličky tedy musí dělit 24000. To odpovídá 10 bitům.

Závěr (hodnocení)

Zde žáci doplní vlastní hodnocení (např. s čím měli problémy, co funguje jinak, než si mysleli atd.)