



- založeno ve v½vojovém prostøedí projekt, s vhd modulem
- používá se vznikl½ soubor jako vrcholov½
- vytvoøen½ dle zadání a provede simulaci
- ovøen½ v½sledek kontrolou syntaxe
- vytvoøen½ dle zadání simulacní soubor a provede simulaci
- vyhodnot½ vzniklou simulaci

- namapuje k projektu porty
- vytvoř™ konfiguraci soubor
- ověř™ fyzicky správnost p™edchozích kroků v hradlovém poli
- v½sledek vyhodnotě a odstraně p™ěpadnő chyby.

Specifikace hlavních uěbních ěinností ĀĀĀkř/aktivit projektu vĀ. doporuěenőho Āasovőho rozvrhu

V½vojovő prost™edě Quartus, založeně a konfigurace projektu, tvorba vrcholovőho souboru, tvorba sekveněního obvodu a simulaci souboru. Vyhodnoceně simulace ĀĀ“ odborně½ vĀ½klad: 3 hodiny.

Projekt Blikěině LED. Samostatně prěice dle pracovněho listu ĀĀ“ 3 hodiny.

Projekt Stopky. Samostatně prěice dle pracovněho listu ĀĀ“ 6 hodin.

Metodickěi doporuěeně

Př™i teoretickém vĀ½kladu ĀĀĀci provědějě na svě½ch poĀětaěích založeně projektu a něsledně ĀĀinnosti synchronně s vyuěějčěm.

Praktickě ĀĀlohy zadějvat v poř™adě se vzřěstajěcě složitostě (Blikěině LED, Stopky).

U obou ĀĀloh děsledně, vyĀĀdovat vypracověině protokol.

Zpěsob realizace

Komplexně ĀĀloha bude vyuověina ve specializovaně poĀětaově uěbně.

Poměcky

Vybaveně poĀětaově uěbny:

PoĀětaě uěitele, dataprojektor, plěitno.

Individuěině poĀětaěe pro kaĀĀděho ĀĀĀka.

VĀjechny poĀětaěe musě mět nainstalověin program PSPad a v½vojovő prost™edě Quartus. KaĀĀdě pracoviětě, musě bě½t vybaveno odpovědajěcěmi kity.

Pokud je ĀĀkola ve vybaveně zaměěmeně na hradlověi pole firmy Xilinx, je moĀĀně ekvivalentně, pouĀĀt v½vojovő prost™edě Vivado s odpovědajěcěmi kity.

VĀSTUPNě ĀĀĀST

Popis a kvantifikace vĀjech plěinovaně½ch vĀ½stupě

ĀĀĀci majě splnit dvě ĀĀlohy, v nichĀĀ majě pouĀĀt ĀĀtaěe:

1. Blikěině LED
2. Stopky

Vytvoř™ projekt a v něm zdrojově½ soubor dle zaděině. Ověř™ syntaxi, vytvoř™ simulaci soubor, ověř™ a vyhodnotě simulaci, namapujě-porty, vygenerujě a nahrajě konfiguraci soubor. V½sledek vyhodnotě.

Ke kaĀĀdě ĀĀloze vypracujě protokol v něsledujěcěm tvaru:

K ĀĀloze Blikěině LED

- Titulně list
- Zaděině
- Zdrojevě½ vhd soubor (vloĀĀit vhd soubor)
- VĀ½poĀet Āasověině
- ZĀjvěr (hodnoceně)

K ĀĀloze Stopky

- Titulně list
- Zaděině
- Program (vloĀĀit vhd soubor)
- Funkci simulace minut (vloĀĀit jako obrějek)
- VĀ½poĀet Āasověině
- ZĀjvěr (hodnoceně)

Kritěria hodnoceně

Āšloha Blikěině LED

Hodnoceně kaĀĀdě ĀĀlohy se sklědě ze dvou ĀĀjstě.

Funkci ĀĀlohy je hodnocena pouze ve dvou krajněch moĀĀnostech splnil - nespnil. Āškol je splněn, pokud program ověěmeně½ na kitu funguje. Jinak je Āškol nesplněn. Toto dĀĀ ĀĀ hodnoceně mĀi 50% vĀihu z celkověho hodnoceně.

Protokol je hodnocen jednak po forměině strěnce, kdy za chybějěcě ĀĀjst (titulně list, zaděině, zĀjvěr) je sněěena zněimka o pĀl stupně, jednak po strěnce sprěvnosti. Za chybně½ nebo chybějěcě zdrojově½ soubor se zněimka sněěuje o dva stupně. Za chybně½ nebo chybějěcě vĀ½poĀet (odvozeně) Āasověině se sněěuje zněimka o jeden stupeě. Pokud protokol zcela chybě, je tato ĀĀjst hodnocena jako nesplněně. Toto dĀĀ ĀĀ-hodnoceně mĀi 50% vĀihu z celkověho hodnoceně ĀĀlohy.

Āšloha Stopky

Je hodnocen pouze protokol. Ten je hodnocen jednak po formální stránce, kdy za chybu jít (titulní list, zadání, závěr) je snížena známka o 1 stupeň, jednak po stránce správnosti. Za chybu 1/2 nebo chybu jít zdrojů 1/2 soubor se známka snižuje o dva stupně. Za chybnou nebo chybnou funkci simulaci se známka snižuje o jeden stupeň. Za chybu 1/2 nebo chybu jít v 1/2 po (odvozená) časování se snižuje známka o jeden stupeň. Pokud protokol zcela chybí, je tato práce hodnocena jako nesplněná.

Celkové hodnocení je průměrem 1/2 sledných známek u úloh Blikání LED a Stopky. Pro splnění je třeba, aby každý splnil obě úlohy minimálně na dostatečnou 1/2.

Doporučená literatura

Poznámky

Teoretická práce bude omezena ve skupině max. 30 úkoly. Praktická práce má 1/2 omezena buď individuálně, nebo ve skupině max. 2 úkoly.

Pro úspěšné omezení úlohy je třeba, aby každý zvládl práci edmatu časovací technika, která se obecně zabývá sekvencí obvodů, která a sekvencí obvodů ve VHDL. 1/2 každý chápou principy rozdílu mezi obvody synchronní a asynchronní. 1/2 každý rozumí funkci konstrukce process() ve VHDL.

Obsahové upřesnění

OV RVP - Odborné vzdělávání ve vztahu k RVP

Přehled úloh

- [Prezentace_Synchronni-citace-ve-VHDL-1.pptx](#)
- [Prezentace_Synchronni-citace-ve-VHDL-2.pptx](#)
- [Sablony.zip](#)
- [Pracovni-list_Stopky.docx](#)
- [Protokol_Stopky-vzor.docx](#)
- [Pracovni-list_Blikani-LED.docx](#)
- [Protokol_Blikani-LED-vzor.docx](#)

Materiál vznikl v rámci projektu Modernizace odborného vzdělávání (MOV), který byl spolufinancován z Evropských strukturálních a investičních fondů a jeho realizaci zajišťoval Národní pedagogický ústav České republiky. Autorem materiálu a všech jeho částí, není-li uvedeno jinak, je Jiří Král. [Creative Commons CC BY SA 4.0](#) á€" Uveďte původ á€" Zachovejte licenci 4.0 Mezinárodní.